

SECRET

ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИСПОЛЬЗОВАНИЮ АТОМНОЙ ЭНЕРГИИ СССР  
ИНСТИТУТ ФИЗИКИ ВЫСОКИХ ЭНЕРГИЙ

ИФВЭ 86-16  
ОЭА

В.Н.Говорун, Н.В.Горбунов\*, Ю.В.Ермолин,  
П.В.Мамаков, В.Г.Рыбаков, А.Н.Сытин,  
Г.М.Холоденко

МИКРОЭВМ И УПРАВЛЯЮЩИЕ МОДУЛИ  
НА БАЗЕ МИКРОПРОЦЕССОРНОЙ СЕРИИ K1810

Направлено в журнал "Микропро-  
цессорные средства и системы"

---

\* ОИЯИ, Дубна

Серпухов 1986

Аннотация

Говорун В.Н., Горбунов Н.В., Ермолин Ю.В. и др. МикроЭВМ и управляющие модули на базе микропроцессорной серии К1810: Препринт ИФВЭ 86-16. Серпухов, 1986. - 29 с., 5 рис., библиогр.: 8 назв.

Описаны одноплатная микроЭВМ, разработанная на базе микропроцессора К1810ВМ86, а также дополнительный контроллер и драйвер ветви, предназначенные для совместной работы с данной микроЭВМ. Приведены варианты объединения платы микроЭВМ с различными контроллерными платами и драйвером ветви в одном модуле для создания соответствующих интеллектуальных управляющих устройств.

Abstract

Govorun V.N., Gorbunov N.V., Ermolin Yu.V., et al. Microcomputer and Control Modules on Base of K1810 Microprocessor Set: IHEP Preprint 86-16. Serpukhov, 1986. - p. 29, figs. 5, refs.: 8.

A single board microcomputer worked out on the base of K1810ВМ86 is described. The auxiliary controller and branch driver intended for this microcomputer are also described. Some linkage variants of the microcomputer board and different controller and branch driver boards in one module to create intellectual control units are presented.

## ВВЕДЕНИЕ

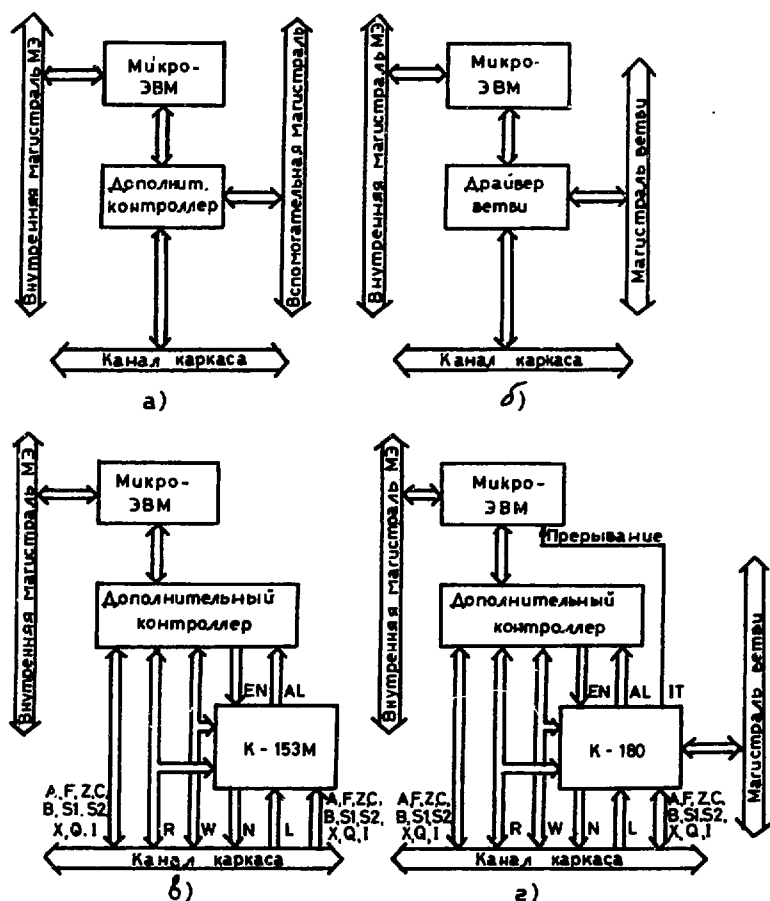
Широкое внедрение микропроцессорных средств в современные автоматизированные установки физики высоких энергий позволило решить ряд проблем (необходимость регистрации и передачи возрастающих объемов информации, требование функциональной гибкости и надежности систем) путем распределения дополнительных вычислительных средств на базе микропроцессоров (МП) внутри системы. На микропроцессоры возлагаются как различные рутинные операции по управлению сбором информации, тестированию аппаратуры и т.п., выполнявшиеся ранее центральной ЭВМ, так и частичная обработка поступающей информации и ее оперативное отображение.

В ИФВЭ разработан и широко применяется ряд модулей в системе СУММА на основе 8-разрядного микропроцессорного комплекта серии K580. Их использование для решения различных задач в автоматизированных экспериментальных установках и в системах управления на ускорителях достаточно наглядно продемонстрировало основные преимущества МП<sup>1/</sup>.

Дальнейшим развитием этого направления являются разработка и внедрение микропроцессорных средств на основе МП серии K1810<sup>2/</sup>. Его характеристики - высокое быстродействие, мощная система команд, возможность прямой адресации памяти до 1 Мбайт и др. - позволяют увеличить производительность систем с использованием данного МП практически на порядок по сравнению с системами на 8-разрядном МП серии K580 или 8080<sup>3/</sup>.

В настоящее время в рамках этого направления выполнены разработки микроЭВМ, дополнительного контроллера канала каркаса и драйвера ветви. Каждое устройство размещается на одной печатной плате. При этом может быть создан модуль самостоятельной микроЭВМ либо при объединении платы микроЭВМ с платой дополнительного контроллера - интеллектуальный дополнительный контроллер каркаса (рис. 1а), либо при объединении платы микроЭВМ с платой драйвера

ветви - интеллектуальный драйвер ветви (рис.1б). В соответствии с концепцией модульного построения контроллеров для управления в каркасе<sup>4</sup> платы микроЭВМ и дополнительного контроллера могут быть объединены с контроллерной платой упрощенной конфигурации (К-153М) или с контроллерной платой с функциями контроллера А-2 (К-180). В первом случае (рис.1в) будет образован автономный каркасный контроллер, во втором (рис.1г) каркасный контроллер под управлением ветви со встроенной микроЭВМ. Конструктивно модули выполняются в системах СУММА и КАМАК<sup>5</sup>.



**Рис.1.** Схемы объединения отдельных плат для построения: а) интеллектуального дополнительного контроллера каркаса; б) интеллектуального драйвера ветви; в) автономного каркасного контроллера; г) каркасного контроллера под управлением магистрали ветви со встроенной микроЭВМ.

## 1. МИКРОЭВМ

Блок-схема микроЭВМ (МЭ) приведена на рис.2. МикроЭВМ включает в себя процессор, запоминающее устройство, два последовательных интерфейса, контроллер прерываний, контроллер прямого доступа в память (ПДП) и регистр старших адресов ПДП, дешифратор адресов внешних устройств. Эти устройства объединяются внутренней магистралью. Данная магистраль может быть соединена также с многоконтактным разъемом на передней панели модуля для подсоединения к микроЭВМ дополнительной памяти и внешних устройств. В приложении приводится назначение сигналов внутренней магистрали МЭ.

Процессор построен на базе процессорного элемента K1810BM86. Его характеристиками являются:

- возможность прямой адресации памяти до 1 Мбайта;
- архитектура, разработанная для языка ассемблера и эффективная для языков высокого уровня;
- 14 16-битных регистров с симметричными операциями;
- 24 моды адресации операнда;
- операции с битами, байтами, словами и блоками;
- арифметические операции с 8- и 16-битными данными со знаком и без знака, в двоичной или десятичной форме, включая умножение и деление;
- тактовая частота 5 МГц;
- интерфейс, совместимый с системой MULTIBUS.

Процессор включает в себя также системный контроллер KP580BN88, адресные регистры на микросхемах KP580IP82, обеспечивающие разделение адреса и данных от мультиплексированной шины адреса/данных процессорного элемента, и шинные формирователи - микросхемы KP580BA86. Возможности микроЭВМ могут быть расширены подключением дополнительного арифметического процессора Intel-8087/6'.

Генератор, вырабатывающий тактовые сигналы для процессора с частотой, близкой к 5 МГц, построен на базе микросхемы KP580ГФ84 с синхронизацией кварцевым резонатором на частоту 14/45,6 КГц.

Память микроЭВМ включает в себя ОЗУ (8 Кбайт) и ППЗУ емкостью 8 Кбайт. ОЗУ выполнено на микросхемах HM6116 с организацией 2Кх8. Могут быть использованы отечественные микросхемы K132PY7 с временем доступа 250 нс, что не скажется на скорости работы процессора. ППЗУ выполнено на микросхемах K573PФ2 с организацией 2Кх8 и ультрафиолетовым стиранием информации. Время доступа к памяти этих

микросхем - 450 нс. При работе с названной памятью вводится один такт ожидания в цикл операции с использованием сигнала готовности (Ready) процессора. Емкость ППЗУ может быть увеличена использованием микросхем К573РФ4 с организацией 8Кх8 и временем доступа 450 нс, устанавливаемых в гнезда вместо микросхем К573РФ2, с изменением коммутации цепей выбора микросхем.

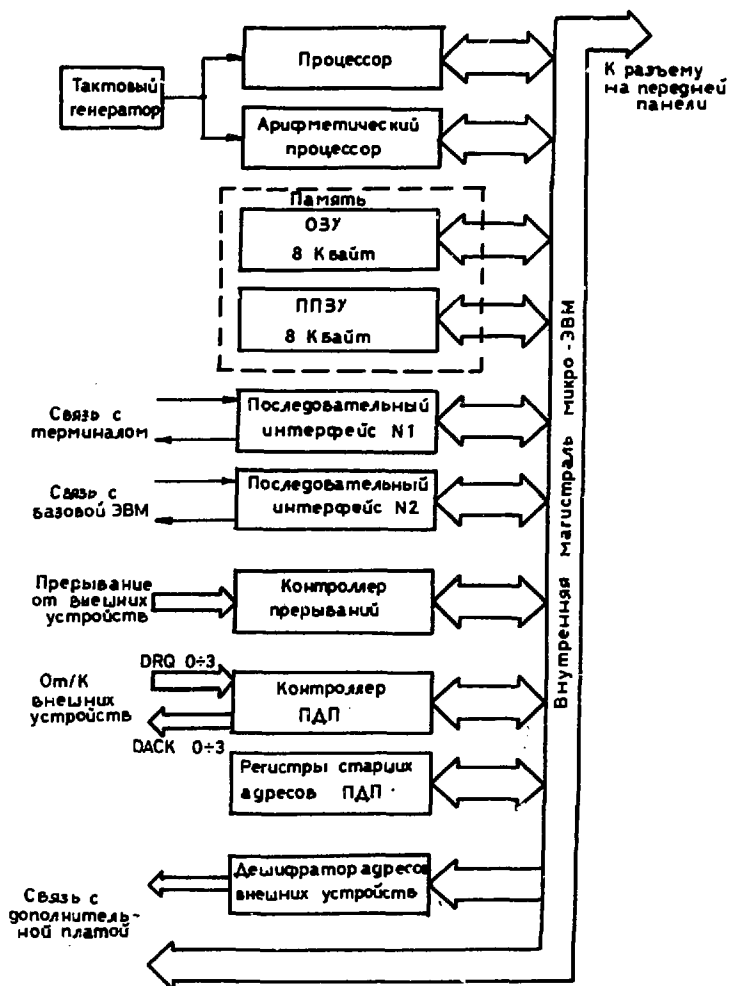


Рис. 2. Блок-схема микроЭВМ.

Два последовательных интерфейса построены на БИС КР580ВВ51А. Интерфейсы работают в асинхронной моде на четырехпроводную линию. Приемники и передатчики интерфейсов имеют оптронные развязки и могут работать как в пассивном, так и в активном режимах (режим выбирается переключками), обеспечивая работу на стандартную 20-мА петлю. Тактовые сигналы для интерфейсов вырабатываются генератором КР580ГФ84, с последующим делением частоты с помощью счетчиков. Скорости передачи (от 75 до 9600 бод) задаются переключками отдельно для каждого интерфейса.

Принципиальные схемы приемников и передатчиков приведены на рис.3. Приемник выполнен с использованием оптронного переключателя К293ЛП1, передатчик - с использованием транзисторного оптрона АОТ110. С помощью переключек J1-1-4 и J2-1-4 могут быть выбраны активный или пассивный режимы для приемника и передатчика. Для работы приемника в пассивном режиме должна быть установлена переключка J1-3, для работы в активном - переключки J1-1, J1-2, J1-4. Передатчик работает в пассивном режиме, если установлена переключка J2-2, в активном - переключки J2-1, J2-3, J2-4. Интерфейсы используются для связи с терминалом и базовой ЭВМ. В последнем случае обмен данными возможен как под управлением программы, так и по прерываниям.

Контроллер прерываний - микросхема КР580ВН59А - позволяет принимать, маскировать и приоритетно кодировать запросы от восьми источников прерываний. Выбор используемых сигналов прерываний и присваивание им приоритетов производятся переключками на плате. Три источника прерываний находятся внутри МЭ: сигнал от кнопки или высокочастотного разъема на передней панели, сигнал от последовательного интерфейса "МЭ - базовая ЭВМ" и сигнал от дополнительного процессора при обнаружении им ошибки в вычислениях. В качестве других сигналов прерываний могут использоваться сигналы от плат дополнительного контроллера, драйвера ветви или контроллерной платы при их объединении в одном модуле с МЭ, а также сигнал с многоконтактного разъема на передней панели модуля. Сигналы от источников прерываний записываются в контроллер по их перепадам, где они маскируются, приоритетно кодируются, вырабатывают сигнал прерывания для процессора. При получении подтверждения прерывания от процессора контроллер выставляет инструкцию вызова подпрограммы по адресу, предварительно записанному при программировании контроллера.

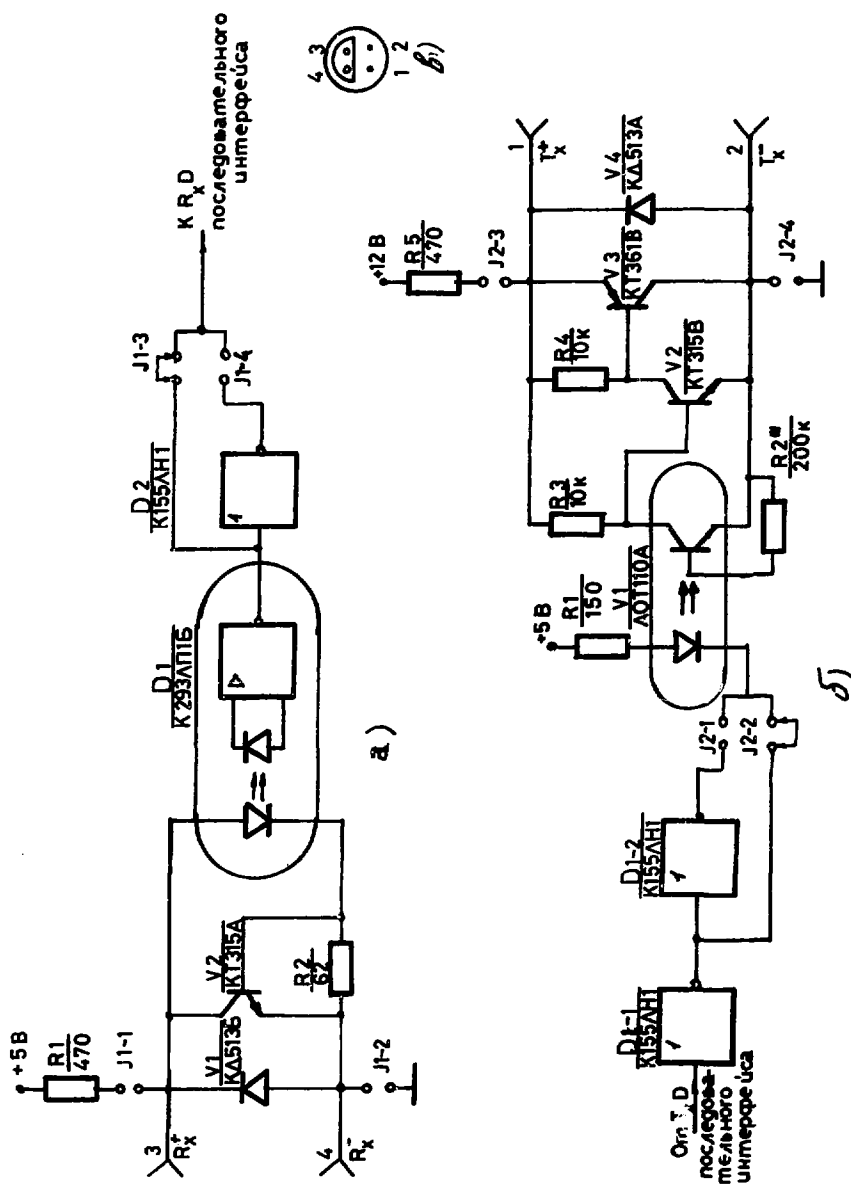


Рис. 3. Принципиальные схемы последовательных интерфейсов: а) приемника; б) передатчика; в) расположение контактов разъема.



Контроллер ПДП — микросхема КР580ИК57 — обеспечивает обмен данными между одним из четырех портов ввода-вывода и ОЗУ без участия центрального процессора. Предварительно контроллер прямого доступа должен быть запрограммирован. При этом указывается номер канала внешнего устройства, начальный адрес памяти, с которой происходит обмен данными и длина массива данных. Взаимодействие с внешним устройством происходит по принципу "Запрос прямого доступа" от внешнего устройства (DRQ) — "Подтверждение прямого доступа" (DACK) внешнему устройству. Работа центрального процессора ведется по протоколу  $\overline{RQ}/\overline{GT}/3'$ .

Два канала ПДП используются для связи с регистрами ввода-вывода дополнительного контроллера в управляющем и подчиненном режимах. Для связи с регистрами данных драйвера ветви используется только один из этих каналов. Обмен данными при работе этих каналов происходит 16-битными словами. Контроллер ПДП обеспечивает управление 16 адресными линиями, в то время как внутренняя магистраль имеет 20 линий. Поэтому задание четырех старших бит адреса (адрес группы) производится с помощью регистра старших адресов, который должен быть предварительно загружен. Очевидно, что область памяти (максимум 16 Кбайт) при работе канала должна быть таковой, чтобы не переходить границы группы. Два других канала обеспечивают обмен байтами и могут быть использованы для расширения системы внешними устройствами, например, накопителями на гибких магнитных дисках. Цепи их сигналов ("Запрос на прямой доступ" и "Подтверждение прямого доступа") выводятся на многоконтактный разъем на передней панели.

Дешифратор адресов внешних устройств позволяет выбирать устройства, расположенные на плате МЭ, и семь устройств, расположенных на других платах. Один сигнал выбора устройства подключается к многоконтактному разъему на передней панели. Кроме того МЭ имеет схему генерации строб-импульса при выборе соответствующего адреса. Выход этой схемы подключается к высокочастотному разъему на передней панели. Данный сигнал может служить для синхронизации внешних приборов с работой микроЭВМ (например, для запуска развертки осциллографа). Адреса портов ввода-вывода, выбираемых МЭ, приведены в приложении.

МЭ не имеет связи с каналом каркаса. Ее связь с дополнительным контроллером или с драйвером ветви должна осуществляться специальным жгутом или с помощью дополнительных разъемов на плате.

На передней панели МЭ расположены:

- многоконтактный разъем внутренней магистрали;
- два четырехконтактных разъема последовательных интерфейсов;
- разъемы сигналов "Строб" и "Прерывание";
- кнопки "Сброс" и "Прерывание";
- светодиоды индикации сигналов "Прерывание", "Захват".

Назначение контактов разъема внутренней магистрали приведено в приложении. В качестве программного обеспечения МЭ в настоящее время используется модифицированный монитор SDK-86 системы MCS-86/7' и кросс-ассемблер на ЭВМ DEC-10 и CM-4/8'.

Программа-монитор занимает 4 Кбайт и хранится в ППЗУ, занимающем верхнюю часть адресного пространства. С помощью монитора пользователь управляет работой других программ. Монитор осуществляет запуск программ, обработку прерываний, позволяет производить чтение/запись содержимого памяти, регистров процессора и регистров устройств, задавать точки останова программ пользователя. В монитор входит также программа-загрузчик, обеспечивающая загрузку рабочих программ из базовой ЭВМ. Диалог между оператором и монитором состоит из команд, вводимых с терминала, и ответов монитора в виде выводимых сообщений или исполняемых действий. Команды монитора приведены в приложении. Обработчик прерываний монитора осуществляет спасение регистров, статуса процессора и передает управление обслуживающей программе пользователя, находящейся в оперативном запоминающем устройстве.

ОЗУ, расположенному на плате МЭ, присвоены адреса от 00000 до 01FFF, ППЗУ - от FE000 до FFFFF; в середине находятся адреса, которые могут быть присвоены памяти, расположенной в модулях, подключенных с помощью многоконтактного разъема к внутренней магистрали МЭ. Распределение памяти микроЭВМ приводится в приложении.

## 2. ДОПОЛНИТЕЛЬНЫЙ КОНТРОЛЛЕР

Дополнительный контроллер (КД) каркаса обеспечивает связь микроЭВМ с каналом каркаса системы СУММА. При этом он может иметь два режима работы: управляющий, когда КД управляет операциями канала каркаса, обеспечивая обмен данными между микроЭВМ и модулями в каркасе; и подчиненный, когда КД выполняет команды канала каркаса,

вырабатываемые другим контроллером. Наличие подчиненного режима обеспечивает доступ к микроЭВМ и ее памяти через канал каркаса.

Блок-схема КД приведена на рис.4. Контроллер содержит восемь регистров, доступных для микроЭВМ, генератор циклов канала каркаса со схемой арбитражи, схему управления блочными передачами, схемы таймаута и контроля "безуспешных" циклов канала каркаса, схему выработки сигналов прерывания для микроЭВМ, схему считывания сигналов L, дешифратор команд канала каркаса.

Четыре 16-битных регистра используются для ввода и вывода данных в управляющем и подчиненном режимах. Занесение информации в регистр ввода в управляющем режиме производится во время операции канала каркаса под управлением данного контроллера по внутреннему строб-импульсу  $S1^*$ , считывание микроЭВМ - через внутреннюю магистраль (сигнал RD Master на рис.4). В регистр вывода в управляющем режиме занесение информации происходит при операции записи микроЭВМ, адресованной данному регистру (сигнал WR Master на рис.4), а передача информации на канал каркаса - во время операции записи канала каркаса (сигнал  $B^* \cdot F16 \cdot \overline{F8}$ ).

Занесение информации в регистр ввода в подчиненном режиме происходит по команде  $NA(0)F(16)$  канала каркаса, а считывание - через внутреннюю магистраль микроЭВМ (по сигналу RD Slave). В регистр вывода в подчиненном режиме информация заносится во время операции записи МЭ, адресованной данному регистру (по сигналу WR Slave), а передача информации на канал каркаса - во время операции чтения канала каркаса по команде  $NA(0)F(0)$ . В подчиненном режиме во время операции передачи данных контроллер вырабатывает сигнал ответа Q, состояние которого определяется состоянием регистров. При чтении Q равно 1, если в регистр вывода занесена от микроЭВМ информация (после установки исходного состояния или после предыдущего чтения по каналу каркаса). При записи Q равно 1, если из регистра ввода в микроЭВМ передана предыдущая информация.

Регистры данных выполнены на микросхемах КР580ИР83, имеющих входы управления ST, по сигналу на которых входная информация заносится в регистры, и входы  $\overline{OE}$ , по сигналам на которых информация регистров передается на выходы.

В 16-битном регистре команд хранятся текущие значения кодированных номеров мест EN, подадреса A и функции F канала каркаса, а также значения управляющих сигналов Z и C канала каркаса. При блочных передачах автосканирования EN и A автоматически модифицируются в соответствии со стандартными правилами<sup>5</sup>.

В регистре режимов, в котором значащими являются 14 бит, записываются коды режимов блочной передачи и моды операции, а также маски для отдельных прерываний и сигнала Z канала каркаса. Выбор режима блочной передачи осуществляется с использованием четырех бит (M1, M2, M4, M8). Дешифратор режимов выделяет семь режимов блочных передач, имеющих наибольшее практическое применение, и режим единичной передачи. Типы передач в соответствии с их кодами приведены в приложении.

Бит ACL регистра режимов управляет состоянием сигнала ACL вспомогательной магистрали, обеспечивая режим, когда другие контроллеры каркаса не смогут прервать работу данного контроллера. Через бит L регистра режимов производится выработка сигнала LAM канала каркаса. Сброс данного сигнала происходит по команде канала каркаса NA(0)F(17). Этот сигнал может быть использован для запроса обмена информацией с другими ЭВМ, имеющими связь с контроллерами данного каркаса.

Бит СТОП задает такую моду работы контроллера, при которой он приостанавливает работу микроЭВМ, вырабатывая для нее сигнал NO READY на время цикла операции канала каркаса. Бит FRM (Fast Read Mode) задает моду "быстрого чтения", при которой во время операции с функцией F(0) цикл операции дополнительного контроллера заканчивается сразу после генерации строб-импульса S1 канала каркаса; при операциях с другими функциями генерируется нормальный цикл. Пять бит (M0, M1, M2, M3, M4) данного регистра являются сигналами маски для соответствующих сигналов источников прерывания (источники прерывания будут описаны ниже). Бит MZ маскирует сброс микроЭВМ в исходное состояние по сигналу Z канала каркаса.

Из статусного регистра (12 значащих бит) может быть прочитано слово состояния КД: значения ответов Q и X канала каркаса, запоминаемые по сигналу S1 во время операции под управлением КД, текущие значения сигналов B, I, ACL. Кроме того, в нем содержатся данные о состоянии цикла и блочных передач КД: TC — есть требование цикла КД; B\* — цикл КД в процессе исполнения; K — цикл КД завершен;

БП — блочная передача в процессе ; КА — достигнут конечный адрес при автосканировании. Два бита статуса характеризуют неудовлетворительную ситуацию с операциями КД; ТО — таймаут, требование цикла не удовлетворено в течение 800 мкс; СЦ — поступил сигнал от счетчика "безуспешных" циклов, говорит о том, что в течение восьми или более последовательных циклов КД сигнал  $Q=0$ . Эти биты возвращаются в состояние "0" после чтения регистра статуса (сигнал RD STATUS), а также по сигналу "Сброс".

Регистры режима и статуса имеют один и тот же адрес. Регистр режима доступен только для записи, а регистр статуса — только для чтения.

В 9-битный регистр конечного адреса во время операции записи по адресу данного регистра (сигнал WR REG. TERM. ADDR на рис.3) заносятся конечные значения подадреса А и кодированных номеров мест EN, используемые при блочной передаче автосканирования.

Форматы регистров команд, режимов/статуса и конечного адреса приведены в приложении.

При записи информации в регистр команд вырабатывается сигнал "Старт" для генератора цикла, после чего выставляется сигнал запроса вспомогательной магистрали RQ и начинается арбитраж. После успешного завершения арбитража начинается цикл операции канала каркаса, во время которого генератором цикла вырабатываются необходимые сигналы В, S1, S2 канала каркаса и сигнал окончания цикла канала каркаса (К). Сигнал окончания цикла передается на цепь одного из сигналов прерывания микро-ЭВМ (INT К). При блочных передачах после их запуска сигналы "Старт" для последующих циклов вырабатываются схемой управления блочными передачами.

Блочные передачи ведутся по каналу прямого доступа к памяти микроЭВМ с использованием сигналов DRQ0 и DACK0 контроллера ПАП. Режим блочной передачи определяется 4-битным кодом, содержащимся в регистре режимов. По окончании блочной передачи эти биты очищаются, что соответствует режиму единичной передачи. В режимах блочной передачи для синхронизации используются: сигнал L, который выбирается из сигналов AL вспомогательной магистрали с помощью переключателей на плате КД; сигнал D (внешний запрос), поступающий через разъем LEMO 00 на передней панели.

Одновременно с выработкой сигнала требования цикла КД запускается цифровой таймер на время 800 мкс. Таймер очищается при снятии сигнала требования, свидетельствующего

о начале операции. Если в течение 800 мкс операция не началась, схема таймера вырабатывает сигнал таймаута (ТО).

Во время операции КД с помощью 3-битного счетчика "безуспешных" циклов производится счет последовательных операций КД, при которых ответ  $Q=0$ . Если число таких циклов не достигло восьми (счетчик не переполнился), то во время любого цикла с  $Q=1$  происходит очистка счетчика. При переполнении счетчика, т.е. когда число последовательных циклов с  $Q=0$  достигло восьми, вырабатывается сигнал СЦ, поступающий в регистр статуса.

Использование статусных сигналов ТО и СЦ позволяет избежать "мертвых" блокировок из-за неисправностей в системе, ошибочной адресации и при других неудовлетворительных ситуациях. Данные сигналы участвуют и в выработке сигнала "Прерывание по ошибке" (INT ERR). Этот сигнал может быть также выработан при отсутствии ответов X или Q во время операции и по достижению конечного адреса (КА) при автосканировании. Сигнал прерывания вырабатывается при наличии любого из указанных условий, если этот бит разрешен соответствующим битом маски регистра режимов (бит маски в состоянии "1"). Сигналы запросов AL1 - AL22 поступают через вспомогательную магистраль КД, 16 из них выбираются переключками и могут быть переданы в микроЭВМ при операции чтения микроЭВМ, адресованной регистру запросов AL.

С помощью дешифратора команд канала каркаса осуществляется работа КД в подчиненном режиме. При этом обеспечивается чтение/запись соответствующих регистров КД, сброс КД, выработка четырех сигналов прерывания микроЭВМ.

Команды канала каркаса, выполняемые КД в подчиненном режиме:

NA(0)F(0) - чтение данных из регистра вывода,  $Q=1$ , если регистр содержит данные;  $X=1$ ;

NA(0)F(16) - запись данных в регистр ввода,  $Q=1$ , если предыдущие данные считаны из регистра в МЭ,  $X=1$ ;

NA(0)F(19) - выработка сигнала прерывания МЭ "Прерывание по команде" (INT NAF),  $X=1$ ;

NA(0)F(17) - сброс сигнала L, выработка сигнала прерывания МЭ "Прерывание по обслуживанию L" (INT L),  $X=1$ ,  $Q=1$ ;

NA(0)F(9) + Z - сброс КД,  $X=1$ ,  $Q=1$ .

Если во время операции чтения канала каркаса  $Q=1$ , то вырабатывается сигнал прерывания микроЭВМ "Прерывание чтения данных" (INT RD). Аналогично во время успешной записи ( $Q=1$ ) КД канала каркаса вырабатывается сигнал прерывания микроЭВМ "Прерывание записи данных" (INT WR).

Сигнал "Сброс" вырабатывается при включении питания, по сигналу Z канала каркаса (если сброшен бит MZ) и по команде NA(0)F(9). По сигналу "Сброс" устанавливаются в исходное состояние триггеры генератора цикла и схемы управления блочной передачей, очищается регистр режимов, устанавливаются в нулевое состояние сигналы TO и CQ.

Триггер, вырабатывающий сигнал Q, во время операции чтения регистра вывода в подчиненном режиме сбрасывается в состояние "0" ("данные в регистре отсутствуют"), а соответствующий триггер для операции записи регистра ввода устанавливается в состояние "1" ("регистр свободен для записи данных"). К передней панели модуля, содержащего плату КД, выводятся цепи сигналов: D (внешний запрос), RQ, GI, GO (на разъемы LEMO 00), "Цикл" (на светодиод). На задней панели размещается разъем вспомогательной магистралей.

### 3. ДРАЙВЕР ВЕТВИ

Драйвер ветви (ДВ) предназначен для управления каркасными контроллерами, объединенными магистралью ветви<sup>5/</sup>, и может работать под управлением микроЭВМ или канала каркаса. Переключение рода работы производится с помощью переключки на плате ДВ.

Структурная схема драйвера приведена на рис.5. Драйвер содержит входной и выходной регистры данных, регистры команд, управления и статуса, схему управления циклами операции магистрали ветви, схему выработки прерываний для микроЭВМ, дешифратор команд канала каркаса, приемники и передатчики сигналов магистралей, нагрузки на все линии магистрали ветви.

Передача данных между магистралью ветви и микроЭВМ или магистралью ветви и каналом каркаса производится с использованием внутренней магистрали данных, связываемой с магистралью ветви, с шиной данных микроЭВМ и каналом каркаса через приемники-передатчики. В магистраль ветви данные записи передаются через выходной регистр данных, в который они заносятся во время операций записи микроЭВМ или канала каркаса, адресованных данному регистру. Данные, получаемые в результате чтения магистрали ветви, заносятся во входной регистр данных и передаются в микроЭВМ (или на канал каркаса) при чтении регистра.

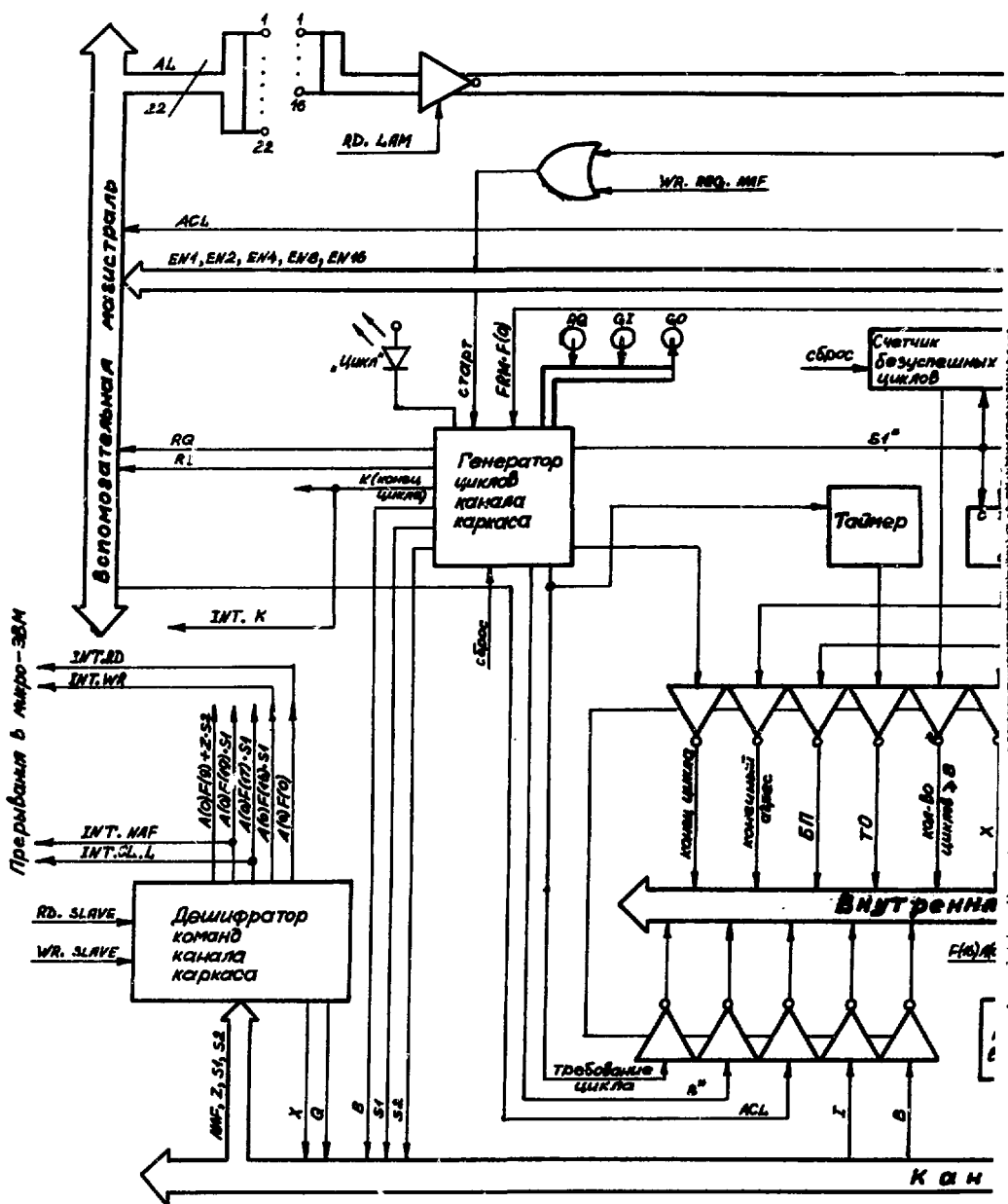


Рис. 4. Структурная схема





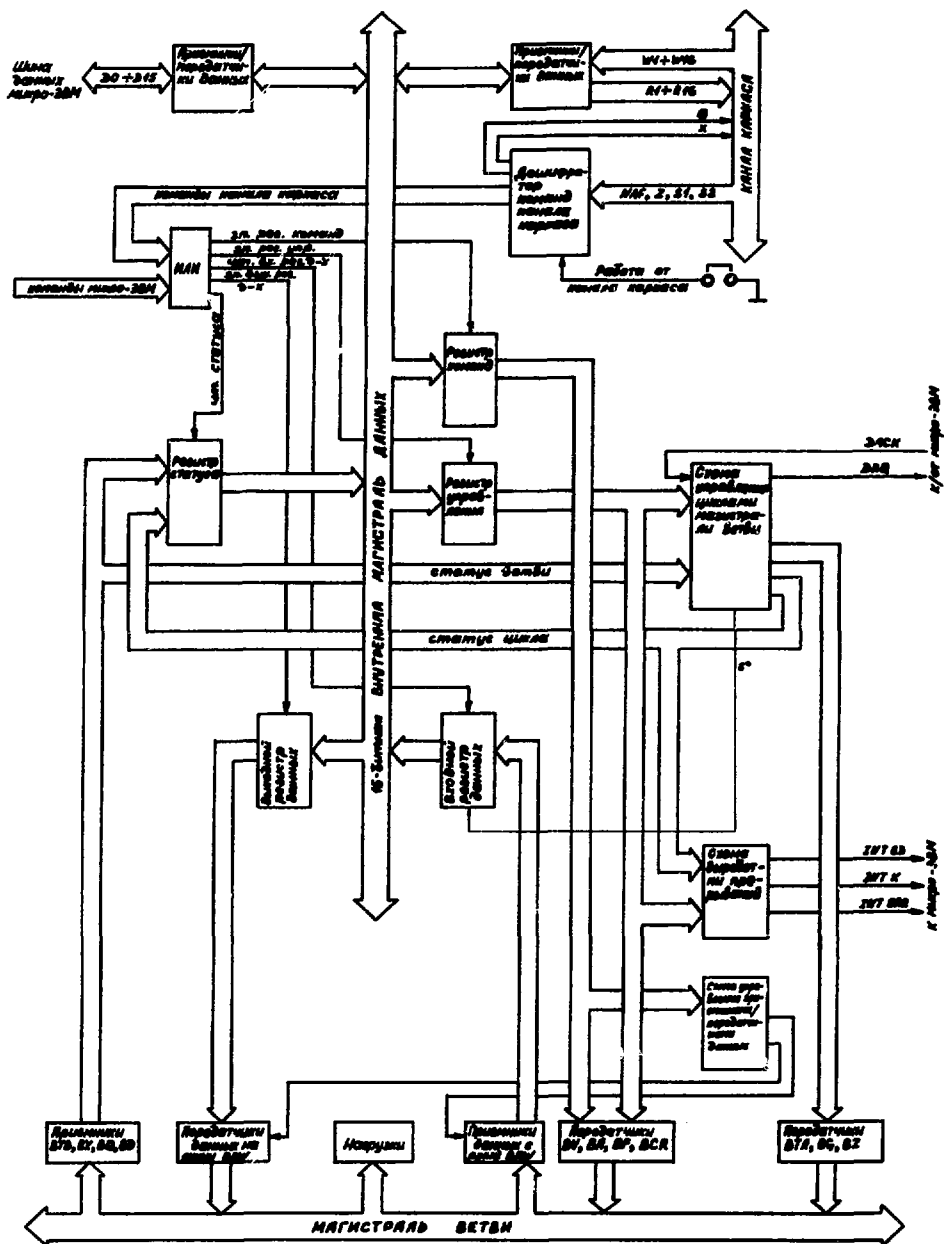


РИС.5. СТРУКТУРНАЯ СХЕМА ДРАЙВЕРА ВЕТОН.

В регистрах команд и управления хранится команда операции магистрали ветви (значения BCR, BN, BA, BF, BG, и BZ), а также информация о режимах работы драйвера и маски для сигналов от источников прерывания драйвера. Предусмотрен режим работы, при котором происходит одновременная адресация всех каркасов, подключенных к магистрали ветви, т.е. тех, у которых в начале операции  $VTB=1$ . Управление этим режимом производится с помощью бита "BCE CR" регистра управления.

Бит МОДА регистра управления определяет режим таймирования циклов магистрали ветви. При значении "0" в данном бите управление циклами во времени производится от микроЭВМ (или канала каркаса) с использованием бита ТА таким образом, что после запуска цикла со значением "1" в бите ТА сигнал ВТА магистрали ветви будет сохраняться на магистрали, пока в данный бит не будет записано значение "0". При значении "1" в бите МОДА после запуска цикла магистрали ветви снятие сигнала ВТА происходит только под действием сигналов VTB от адресованных контроллеров.

В регистре статуса хранится информация о состоянии драйвера и об ошибках, имевших место в последнем цикле магистрали ветви. При его чтении передается состояние сигналов VTB каркасов (биты TB1 - TB7), состояние сигнала требования магистрали ветви VD, а также значения ответов BQ и BX, заносимые в регистр во время операции ветви. Состояние сигналов TB повторяет состояние сигналов VTB магистрали ветви в промежутке между циклами операций магистрали ветви и "зашелкивается" в регистре статуса по началу цикла. Три бита регистра статуса характеризуют фазу цикла: бит C - цикл в процессе; бит RDY - готовность, характеризует фазу цикла операции магистрали ветви, когда данные приняты каркасом при их записи или готовы для занесения во входной регистр при их чтении по магистрали ветви; бит CE - затребованный цикл операции завершен.

В качестве сигналов ошибки рассматриваются: сигнал, вырабатываемый в случае адресации к каркасу, не подключенному к линии, у которого в начале операции  $VTB=0$  (бит AERR); сигнал таймаута (бит T0), появляющийся в том случае, если в течение заданного времени в 50 мкс в ответ на перепады сигнала ВТА не поступили ожидаемые перепады сигналов VTB от адресованных каркасов. Сигнал таймаута вырабатывается и при слишком длительной арбитражи адресованных контроллеров (из-за их неисправности), а также при адресации контроллеров, отключенных от магистрали ветви.

Для микроЭВМ и канала каркаса регистры команд и управления доступны только для записи, а регистр статуса — только для чтения. Форматы регистров ДВ — в приложении.

Запуск цикла командной операции магистрали ветви осуществляется после записи "1" в старший бит ПУСК регистра команд или бит "BG" регистра управления. В последнем случае адресуются все каркасы, подключенные к линии. Генерация сигнала BZ длительностью 10 мкс производится после записи "1" в бит "BZ" регистра команд.

ДВ может осуществлять блочную передачу данных в режиме "Повторение". При этом операция магистрали ветви происходит по одному и тому же адресу, источником синхронизации передачи данных между магистралью ветви и микроЭВМ (или каналом каркаса) служит сигнал ответа магистрали ветви BQ, окончание передачи происходит по инициативе устройства управления (микроЭВМ или канала каркаса) после передачи/приема заданного числа слов данных. Ответ BQ=1 во время операции свидетельствует об успешной передаче данных, BQ=0 — о необходимости повторения операции. При управлении от микроЭВМ передача данных ведется по каналу ЦАП с использованием сигналов DRQ и DACK контроллера ЦАП. При блочных операциях чтения, первая из которых запускается после записи "1" в бит ПУСК БП, в случае получения BQ=1 ДВ вырабатывает сигнал запроса прямого доступа DRQ и начинает новый цикл операции по получению подтверждения прямого доступа DACK. В случае BQ=0 ДВ самостоятельно повторяет цикл.

В случае операции записи ДВ в исходном состоянии готов принимать данные и устанавливает сигнал DRQ в состояние "1". Поэтому начало блочной передачи происходит как только контроллер ЦАП микроЭВМ оказывается в состоянии распознавать этот сигнал и передает данные, сопровождаемые сигналом DACK, по которому запускается первый цикл блочной передачи и снимается сигнал DRQ. Если во время операции получен ответ BQ=0, то ДВ самостоятельно повторяет цикл операции записи с прежними данными. После получения BQ=1 ДВ вырабатывает сигнал DRQ и ожидает поступления следующего сигнала DACK. Передача заканчивается после заполнения счетчика слов в контроллере ЦАП.

Данная блочная передача аналогичным образом может проходить под управлением канала каркаса. При этом сигналом истинности данных (данные приняты при записи, данные занесены во входной регистр при чтении) служит сигнал Q канала каркаса, вырабатываемый ДВ во время операции

канала каркаса. Данные не заносятся в выходной регистр во время операции записи канала каркаса в случае, если не осуществлена успешная передача данных в результате операции магистрали ветви и ответ канала каркаса  $Q=0$ . Аналогично во время операции чтения канала каркаса  $Q=0$ , если во входной регистр после предыдущей операции чтения магистрали ветви.

ДВ может вырабатывать три сигнала прерывания для микроЭВМ. Один из них - "Прерывание по требованию" - вырабатывается при появлении требования магистрали ветви ВД. Другой - "Прерывание по завершению цикла" - вырабатывается по завершению цикла операции магистрали ветви под управлением ДВ. Источниками для выработки третьего сигнала - "Прерывание по ошибке" (INT ERR) - служат сигналы статуса AERR (ошибка адресации) и TO (таймаут), а также отсутствие ответов ВQ и ВХ во время операций магистрали ветви под управлением ДВ. Сигнал прерывания вырабатывается при наличии любого из указанных условий и если этот бит разрешен соответствующим битом маски регистра управления.

При работе под управлением канала каркаса запись в регистры вывода данных, команд и управления происходит только при условии, если на момент начала операции канала каркаса отсутствует цикл магистрали ветви, при этом ДВ вырабатывает ответ канала каркаса  $Q=1$ . В противном случае запись не происходит и ответ  $Q=0$ . Это обеспечивает постоянство команды и данных во время операций магистрали ветви. Чтение статуса и установка исходного состояния по каналу каркаса могут быть произведены в любой момент времени и независимо от рода управления драйвером ветви.

Дешифратор команд канала каркаса распознает следующие команды:

NA(0)F(16) - запись в выходной регистр данных,  $X=1$ , запись происходит только при отсутствии цикла операции магистрали ветви, при этом  $Q=1$ ;

NA(1)F(16) - запись в регистр управления,  $X=1$ , запись происходит только при отсутствии цикла операции магистрали ветви, при этом  $Q=1$ ;

NA(2)F(16) - запись в регистр команд,  $X=1$ , запись происходит только при отсутствии цикла операции магистрали ветви, при этом  $Q=1$ ;

NA(0)F(0) - чтение входного регистра данных,  $X=1$ ,  $Q=1$  при отсутствии цикла магистрали ветви;

NA(1)F(0) - чтение статуса, X=1, Q=1;

NA(0)F(9)+Z - установка исходного состояния драйвера.

На многоконтактный разъем передней панели драйвера от платы ДВ выводятся цепи сигналов магистрали ветви. На передней панели располагаются также светодиоды, индицирующие наличие сигналов "Цикл" и BD.

В настоящее время описанные устройства внедряются в системах съема информации автоматизированных экспериментальных установок, а также в системах управления электрофизических установок ИФВЭ.

В заключение авторы выражают искреннюю благодарность А.Ф.Дунайцеву и В.А.Сенько за поддержку работы, а В.И.Ковальцову и Г.М.Максимову за создание кросс-обеспечения микроЭВМ.

#### ЛИТЕРАТУРА

1. Говорун В.Н., Давиденко А.М., Данцевич Г.А. и др. - Препринт ИФВЭ 85-2, Серпухов, 1985.
2. Балашов Е.П., Григорьев В.Л., Петров Г.А. Микро- и мини- ЭВМ. - Л. : Энергоатомиздат, 1984.
3. Intel Component Data Catalos. - Santa Clara, Calif., Intel Corp., 1981.
4. Горбунов Н.В., Ермолин Ю.В., Мамаков П.В. и др. Препринт ИФВЭ 85-51, Серпухов, 1985.
5. CAMAC. Updated Specifications, Vol.1. - EUR 6500e, ECA/ESONE Committee, 1983.
6. The 8086 Family User's Manual. Numeric Supplement. - Santa Clara, Calif., Intel Corp., 1980.
7. MCS - 86 User's Manual. - Santa Clara, Calif., Intel Corp., 1979.
8. Ковальцов В.И., Максимов Г.М. - Препринт ИФВЭ 85-96, Серпухов, 1985.

Рукопись поступила 18 октября 1985 г.

## 1. Адреса портов ввода-вывода, выбираемых микроЭВМ

Адрес	Наименование порта ввода-вывода (I/O Port)
<u>Последовательный интерфейс, связь с терминалом:</u>	
FFF0	регистр данных,
FFF2	регистр команд/статуса.
<u>Последовательный интерфейс, связь с базовой ЭВМ:</u>	
FFF4	регистр данных,
FFF6	регистр команд/статуса.
<u>Регистры контроллера прерываний:</u>	
FFE0	команд инициализации и операции,
FFE2	запросов прерываний, обслуживания, маски прерываний и уровня прерывания.
<u>Регистры контроллера ПАП:</u>	
FFD0	адреса канала 0,
FFD1	числа передаваемых байтов канала 0,
FFD2	адреса канала 1,
FFD3	числа передаваемых байтов канала 1,
FFD4	адреса канала 2,
FFD5	числа передаваемых байтов канала 2,
FFD6	адреса канала 3,
FFD7	числа передаваемых байтов канала 3,
FFD8	моды/статуса.
FFC8	Регистр старших бит адреса ПАП.
FF00	Регистр статуса КД/ДВ (только для чтения), регистр режимов КД/регистр управления ДВ (только для записи).
FF10	Регистры данных КД в управляющем режиме, регистры данных ДВ.
FF20	Регистры данных КД в подчиненном режиме.
FF30	Регистр команд КД/ДВ (только для записи).
FF40	Регистр конечного адреса при автосканировании КД (только для записи).
FF50	Регистр устройств, подключаемого к многоконтактному разъему.
FF60	Регистр сигналов L КД (только для чтения).
FF70	Генератор строб-импульса.

## 2. Назначение сигналов внутренней магистрали микроЭВМ

Обозначение	Название	Кол-во	Назначение
D	Данные	16	Передают данные.
A	Адрес	20	Передают адрес.
RESET	Сброс	1	Устанавливает устройство в исходное состояние.
$\overline{\text{MEMW}}$	Запись в память	1	Стrobe-сигнал записи данных в память.
$\overline{\text{MEMR}}$	Чтение памяти	1	Указывает на операцию чтения памяти.
$\overline{\text{IOW}}$	Запись в устройство I/O	1	Стrobe-сигнал записи данных в устройства ввода-вывода.
$\overline{\text{IOR}}$	Чтение устройств I/O	1	Указывает на операцию чтения устройств ввода-вывода.
$\overline{\text{WAIT}}$	Ожидание	1	Указывает на необходимость задержки операции.
NO READY	Отсутствие готовности	1	Указывает на отсутствие готовности памяти или внешнего устройства завершить операцию.
READY	Готовность	1	Представляет собой сигнал готовности для процессора (производный от сигналов $\overline{\text{WAIT}}$ и NO READY), синхронизированный тактовым сигналом.
CLK	Тактовый сигнал	1	Синхронизирует работу устройства.
PCLK	Тактовый сигнал для внешних устройств	1	Синхронизирует работу внешних устройств с вдвое меньшей частотой, чем CLK.
$\overline{\text{BHE}}$	Разрешение старшего байта	1	Разрешает передачу информации на линии старших разрядов данных (D7-D15).
$\overline{\text{AEN}}$	Адрес разрешен	1	Запрещает работу дешифраторов устройств ввода-вывода (при работе ПДП).
INT1	Прерывание	1	Вызывает прерывание.
DRQ	Запрос ПДП	2	Запрашивает обслуживание устройств ввода-вывода контроллером ПДП.
$\overline{\text{DACK}}$	Подтверждение ПДП	2	Разрешает устройству ввода-вывода подключиться к линиям магистрали.
TC	Конец обмена	1	Указывает на окончание работы канала ПДП.
MARK	Маркер	1	Указывает на конец передачи блока данных в 128 байтов при работе ПДП.
$\overline{\text{CS}}$	Выбор внешнего устройства	1	Адресует внешнее устройство (свободный выход дешифратора адресов).



### 3. Назначение контактов разъема ГРПМ2-62 с сигналами внутренней магистрали микроЭВМ

Конт.	Цель	Конт.	Цель	Конт.	Цель	Конт.	Цель
A1	PCLK	B1	A0	B1	D0	Г1	INT1
A2	RESET	B2	A1	B2	D1	Г2	CS
A3	A16	B3	A2	B3	D2	Г3	
A4	A17	B4	A3	B4	D3	Г4	
A5	A18	B5	A4	B5	D4	Г5	MARK
A6	A19	B6	A5	B6	D5	Г6	AEN
A7	MEMR	B7	A6	B7	D6	Г7	TC
A8	MEMW	B8	A7	B8	D7	Г8	
A9	IOR	B9	A8	B9	D8	Г9	
A10	IOW	B10	A9	B10	D9	Г10	DRQ2
A11	READY	B11	A10	B11	D10	Г11	DACK2
A12	NO	B12	A11	B12	D11	Г12	DRQ3
	READY	B13	A12	B13	D12	Г13	DACK3
A13	CLK	B14	A13	B14	D13	Г14	BHE
A14	WAIT	B15	A14	B15	D14	Г15	D15

### 4. Распределение памяти микроЭВМ

FFFFF			
		ППЗУ, монитор, 4 Кбайт	
FF000			
FEFFF			
		ППЗУ, программы пользователя, 4 Кбайт	
FE000			
FDFFF			
		ППЗУ при использовании микросхем 4Кх8,	
FC000		8 Кбайт	
FBFFF			
		Область для расширения дополнительными	
02000		модулями, 125х8 Кбайт	
01FFF			
		ОЗУ, 8 Кбайт	
00000			

## Команды монитора микроЭВМ

При нажатии кнопки "RESET" на передней панели МЭ происходит инициализация с очисткой регистров CS, DS, SS, IP, FL и загрузкой в регистр SP кода 0100H. Признаком окончания инициализации будет сообщение

"SDK-86 MONITOR, V1.1",

после которого монитор готов принять команду.

Монитор включает в себя 10 команд, четыре из которых могут оперировать как с байтами, так и со словами. Команда, оперирующая со словами, содержит 2 символа, из которых второй всегда "W". В командах монитора используются следующие разграничители:

"," - для аргумента;

":" - для величин сегмента и смещения в адресной части команды.

Команда монитора завершается нажатием клавиши "CR". В некоторых командах знак "," означает повторение этой же команды для следующего адреса или регистра.

В описании форматов команд далее в тексте использована следующая мнемоника:

"[A]" - квадратные скобки означают, что величина A является дополнительной и может отсутствовать в команде;

"[A]\*" - звездочка означает, что один или более раз дополнительная величина A может повторяться;

"<B>" - величина в угловых скобках является переменной.

#### Форматы команд монитора:

S или SW - команда замены содержимого памяти, формат команды

S[W]<адрес>, [[новое содержимое],]\* <CR> ;

X - команда проверки или модификации содержимого регистров процессора,

X[<регистр>][[новое содержимое],]\* <CR> ;

D или DW - команда отображения содержимого памяти,

D[W]<нач.адрес>[,<конечный адрес>] <CR> ;

M - команда перемещения массива данных в памяти,

M<нач.адрес>,<конеч.адрес>,<адрес назначения> <CR> ;

I или IW - чтение информации порта внешнего устройства,

I[W]<адрес порта>[,]\* <CR> ;

O или OW - запись информации в порт внешнего устройства,

O[W]<адрес порта>,<данные>[,<данные>]\* <CR> ;

G - команда запуска программы с заданного адреса с возможностью останова,

G[<адрес пуска>][,<адрес останова>] <CR> .

Если адрес пуска не задан, программа запускается с адреса, указанного в IP.

N - работа в пошаговом режиме,

N[<адрес пуска>],[[<адрес пуска>],]\*<CR>.

Результатом выполнения команды будет вывод на дисплей содержимого IP и ячейки памяти по адресу в IP.

R - команда загрузки шестнадцатиричного файла,

R[<смещение>] <CR>.

W или WX - команда вывода шестнадцатеричного файла,

W[X]<нач.адрес>,<конеч.адрес>[,<адрес исполнения>] .

Во время исполнения этой команды разрешены управляющие символы: ^S, ^Q, ^C. WX - вывод в формате для микропроцессора 580ИК80.

### Приложение 3

#### 1. Форматы регистров дополнительного контроллера

Регистр команд (адрес FF30)

15	14	13	12	11	10	9	8	
C	Z	F16	F8	F4	F2	F1	EN16	
7	6	5	4	3	2	1	0	Бит
EN8	EN4	EN2	EN1	A8	A4	A2	A1	Команда

Регистр режимов/статуса (адрес FF00)

15	14	13	12	11	10	9	8	
-	-	MZ	FRM	СТОП	МКА	L	ACL	
-	-	-	-	ТЦ	КА	I	ACL	
7	6	5	4	3	2	1	0	Бит
M8	M4	M2	M1	МТО	МСЦ	MX	MQ	Режим
B	B*	K	БП	ТО	СЦ	X	Q	Статус

Регистр конечного адреса (адрес FF40)

1	15	14	13	12	11	10	9	8	1
1	-	-	-	-	-	-	-	-	EN161

1	7	6	5	4	3	2	1	0	Бит	1
1	EN8	EN4	EN2	EN1	A8	A4	A2	A1	Адрес	1

Значения бит регистра режимов (только для записи):

$\overline{M\bar{Q}}$ ,  $\overline{M\bar{X}}$ , МСЦ, МТО, МКА – маски для сигналов источников прерываний при вырабатывании сигнала INT ERR;

M1, M2, M4, M8 – тип блочной передачи;

ACL – задание моды арбитрации вспомогательной магистрали;

L – запрос обслуживания канала каркаса;

СТОП – задание моды работы с блокированием процессора микроЭВМ на время цикла КД;

FRM – задание моды "быстрого чтения", при которой во время операции чтения с командой F(0) цикл КД заканчивается сразу после строб-импульса S1.

MZ – маска для сброса МЭ по сигналу Z канала каркаса.

Значения бит регистра статуса (только для чтения):

X, Q – текущие значения ответов канала каркаса во время операции под управлением КД;

СЦ – переполнение 3-битного счетчика циклов (при числе последовательных "безуспешных" циклов (Q=0), равном или больше 8);

ТО – таймаут (требование цикла не удовлетворено в течение 800 мкс);

K – конец цикла (цикл КД завершен);

B\* – внутренний BUSY: цикл канала каркаса под управлением КД в процессе исполнения;

B – BUSY канала каркаса: цикл канала каркаса в процессе исполнения;

ACL – значение сигнала ACL вспомогательной магистрали;

I – значение сигнала I канала каркаса;

KA – достигнут конечный адрес при автосканировании;

TC – требование цикла дополнительного контроллера.

## 2. Выбор типа блочной передачи в КД

Биты регистра режимов				Тип блочной
M8	M4	M2	M1	передачи
0	0	0	0	Единичная передача
0	0	0	1	UCS
0	0	1	0	ACA
0	0	1	1	UQC
0	1	0	0	UCW
0	1	0	1	ULC
0	1	1	0	UDS
0	1	1	1	MCA

## 3. Прерывания микроЭВМ от дополнительного контроллера

Обозначение	Источник прерывания
INT ERR	Прерывание по "ошибке"; объединяет пять причин, маскируемых соответствующими битами регистра режимов: 1) отсутствие ответа Q в цикле КД ( $Q=0$ ), 2) отсутствие ответа X в цикле КД ( $X=0$ ), 3) срабатывание схемы таймута (TO), 4) достижение счетчиком "безуспешных" циклов ( $Q=0$ ) значения 8 (СЦ), 5) достижение конечного адреса при автосканировании (КА).
INT K	Прерывание по окончанию цикла КД.
INT NAF	Прерывание по команде $NA(0)F(19)$ канала каркаса.
INT L	Прерывание по команде очистки L $NA(0)F(17)$ канала каркаса.
INT RD	Прерывание по команде чтения данных $NA(0)F(0)$ канала каркаса (при $Q=1$ ).
INT WR	Прерывание по команде записи данных $NA(0)F(16)$ канала каркаса (при $Q=1$ ).

1. Форматы регистров драйвера ветви

Регистр команд (адрес FF30)

15	14	13	12	11	10	9	8	
ПУСК	BZ	F16	F8	F4	F2	F1	N16	

7	6	5	4	3	2	1	0	Бит
N8	N4	N2	N1	A8	A4	A2	A1	Команда

Регистр управления/статуса (адрес FF00)

15	14	13	12	11	10	9	8	
ПУСК БП	TA	BG	МОДА	MBQ	MBX	МТО	MAERR	
C	RDY	BD	CE	BQ	BX	TO	AERR	

7	6	5	4	3	2	1	0	Бит
BCE	CR7	CR6	CR5	CR4	CR3	CR2	CR1	Управ.
CR								
-	TB7	TB6	TB5	TB4	TB3	TB2	TB1	Статус

Значения бит регистра управления (только для записи):

CR1 - CR7 - текущие значения номеров каркасов (в уни-  
тарном коде) для команды магистрали ветви;

BCE CR - задает режим, при котором в команде магистра-  
ли ветви присутствуют номера всех каркасов, подключенных  
к магистрали ветви;

MAERR, МТО, MBX, MBQ - биты маски для выработки сигнала  
прерывания от соответствующих бит статуса;

МОДА - задает режим таймирования операции магистрали  
ветви: "0" - таймирование независимо от бита TA регистра  
управления, "1" - с использованием бита TA;

"BG" - управляет состоянием сигнала BG магистрали ветви;

TA - управляет состоянием сигнала BTA во время цикла  
магистрали ветви, если бит МОДА=1;

ПУСК БП - управляет началом блочной передачи в моде  
"Повторение".

### Значения бит регистра статуса (только для чтения):

TV1 - TV7 - состояния сигналов VTV магистрали ветви;

AERR - ошибка адресации: адресован каркас, не подключенный к магистрали ветви;

TO - таймаут: в течение 50 мкс после перепада ВТА не поступили ожидаемые перепады сигналов VTV от адресованных каркасов;

BX - состояние сигнала ответа BX во время последней операции магистрали ветви;

BQ - состояние сигнала ответа BQ во время последней операции магистрали ветви;

CE - цикл операции магистрали ветви завершен;

BD - состояние сигнала требования ветви BD;

RDY - готовность: характеризует фазу цикла магистрали ветви, когда данные приняты каркасом при их записи и готовы для занесения во входной регистр данных драйвера при их чтении от каркаса;

C - цикл операции магистрали ветви в процессе выполнения.

### 2. Прерывания микроЭВМ от драйвера ветви

Обозначение	Источник прерывания
INT ERR	Прерывание по "ошибке", объединяет четыре причины, маскируемые соответствующими битами регистра управления: 1) ошибка адресации: адресован каркас, не подключенный к магистрали ветви (AERR), 2) срабатывание схемы таймаута (TO), 3) $BX = 0$ , 4) $BQ = 0$ .
INT K	Прерывание по окончании цикла операции магистрали ветви.
INT BD	Прерывание по требованию ветви BD.

В.Н.Говорун и др.

МикроЭВМ и управляющие модули на базе микропроцессорной серии K1810.

Редактор Н.В.Ежела. Технический редактор Л.П.Тимкина.

Подписано к печати 16.04.86. Т-09978. Формат 60х90/16.

Офсетная печать. Печ.-л. 1,81. Уч.-изд.л. 1,82. Тираж 250.

Заказ 589. Индекс 3624. Цена 27 коп.

Институт физики высоких энергий, 142284, Серпухов Московской обл.

Цена 27 коп.

Индекс 3624

---

П Р Е П Р И Н Т 86-16, И Ф В Э, 1986

---